

Patent Publication Gazette

(51) IPC Code: G11C 11/407

(11) Publication No.: P1996-0011207

(21) Application No.: 1993-0024484

(43) Publication Date: 21 August 1996

(22) Application Date: 17 November 1993

(71) Applicant:

Samsung Electronics Co., Ltd.

416 Maetan-dong, Youngtong-gu, Suwon-City, Kyunggi-do, Korea

(72) Inventor:

MOON, JIN SEOK

BAE, MYUNG HO

(54) Title of the Invention:

Data Sensing Circuit and Method of Semiconductor Memory Device

Claim 1:

A data sensing circuit of a semiconductor memory device having a PMOS sense amplifier and an NMOS sense amplifier connected between a pair of bitlines, an equalization and precharge circuit that equalizes and precharges the bitlines, and another equalization and precharge circuit that equalizes and precharges the PMOS and NMOS sense amplifier, the data sensing circuit comprising:

a capacitor, which is electrically connected between at least one of sensing output nodes of the PMOS and NMOS sense amplifiers and a ground voltage so that the sensing output node of the PMOS sense amplifier has the same capacitance as the sensing output node of the NMOS sense amplifier.

특1996-0011207

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
G11C 11/407

(45) 공고일자 1996년08월21일
(11) 공고번호 특1996-0011207

(21) 출원번호	특1993-0024484	(65) 공개번호	특1995-0015382
(22) 출원일자	1993년11월17일	(43) 공개일자	1995년06월16일
(73) 특허권자	삼성전자주식회사 김광호		
(72) 발명자	경기도 수원시 팔달구 매탄동 416번지 문진석 경기도 수원시 팔달구 매탄동 주공4단지아파트 403동 501호 배영호 경기도 수원시 권선구 고동동 13-30 이건주		
(74) 대리인	이건주		

심사관 : 장옥호 (특허공보 제4004호)

(54) 반도체 메모리 장치의 데이터 센싱방법 및 그 회로

요약

내용 없음.

도표도

도1

명세서

[발명의 명칭]

반도체 메모리 장치의 데이터 센싱방법 및 그 회로

[도면의 간단한 설명]

제1도는 종래의 기술에 따른 데이터 센싱부의 등화 및 프리차아지회로를 보이는 도면.

제2도는 제2a도와 제2b도로 구성되며, 제2a도는 제1도에 도시한 데이터 센싱부에서 감지출력노드 LA와 LA 사이에 존재하는 정전용량의 차에 기인하는 두 감지노드간 등화레벨의 변화를 보이는 파형도이고, 제2b도는 제2a도에 도시한 감지출력노드간 등화레벨의 변화에 따라 비트라인 프리차아지레벨이 변하는 모습을 보이는 파형도.

제3도는 제2도에 도시한 비트라인 프리차아지레벨의 변화에 따라 비트라인 센싱원도우의 변화를 보이는 파형도.

제4도는 본 발명에 따른 바람직한 실시예를 보이는 도면으로, 센스앰프의 감지출력노드에 등화용 캐패시터를 형성한 데이터 센싱회로도.

[발명의 상세한 설명]

본 발명은 반도체 메모리장치에 관한 것으로, 특히 비트라인쌍과 데이터 입출선쌍 사이의 데이터 센싱방법 및 그 회로에 관한 것이다.

일반적으로, 연속적으로 데이터 액세스 가능한 반도체 메모리장치에서는 1회의 데이터 액세스동작후 다음의 액세스동작 개시전에 비트라인의 등화 및 프리차아지동작을 갖고 있다. 즉, 메모리셀로 데이터가 기록되고 또는 메모리 셀로부터 데이터가 독출되는 액세스동작이 수행됨에 따라 비트라인쌍 BL, LA는 소정 레벨로 디벨로프(develope)되어 있고, 그에 따라 다음 액세스동작을 준비하기 위해 비트라인쌍 서로는 등화(equalizing)된 후 소정레벨로 프리차아지(precharge)되어야 한다. 마찬가지로, 비트라인쌍과 데이터 입/출선 쌍 사이에서 데이터의 감지증폭을 담당하는 피모오스형 및 엔모오스형 센스앰프쌍도 같은 레벨로 등화 및 프리차아지가 필요하다. 이러한 메모리장치의 데이터센싱부에서는 비트라인쌍간의 등화 및 센스앰프쌍간의 등화동작이 매우 중요한 요소로 작용하며, 특히 센스앰프쌍의 감지출력노드를 프리차아지할 때 발생하는 프리차아지레벨의 변화는 액세스동작의 속도 및 전압손실을 결정하는 중요한 요소이다.

제1도에 종래기술에 따른 데이터 센싱부의 구체회로도가 도시되어 있다. 제1도를 참조하면, 비트라인쌍 BL 및 BL' 사이에 피모오스 센스앰프(10) 및 엔모오스 센스앰프(12), 비트라인용 등화 및 프리차아지회로(14)가 접속되어 있다. 비트라인용 등화 및 프리차아지회로(14)는 채널이 BL과 BL' 사이에 접속되고 게이트단자가 비트라인 등화신호 EQ1에 제어되는 엔모오스 트랜지스터 T1과, 각각의 드레인단자가 BL과 BL'에 하나씩 접속되고 게이트단자 비트라인 등화신호 EQ1에 공통제어되며 소오스단자가 공통으로

V_{in} 을 입력하는 2개의 엔모오스 트랜지스터를 T2로 구성된다. 그에 따라 비트라인 등화신호 EQ1이 논리하 이레벨(이하 하이레벨이라 함)로 인가되면 BL과 \overline{BL} 은 등화 트랜지스터 T1을 통하여 등화될과 동시에 각각에 접속된 트랜지스터 T2를 통하여 V_{in} 레벨로 프리차아지된다. 피모오스 센스앰프(10)는 각각의 소오 스단자가 감지출력노드 LA에 공통접속되며, 드레인단자가 BL에 접속되고 게이트단자 \overline{BL} 에 접속된 피모 오스 트랜지스터 T3과, 드레인단자가 \overline{BL} 에 접속되고 게이트단자가 BL에 접속된 피모오스 트랜지스터 T4로 구성된다. 엔모오스 센스앰프(12)는 각각의 드레인단자가 감지출력노드 \overline{LA} 와 공통접속되며, 소오 스단자가 BL에 접속되고 게이트단자가 \overline{BL} 에 접속된 엔모오스 트랜지스터 T5와, 소오스단자가 \overline{BL} 에 접속되고 게이트단자가 BL에 접속된 엔모오스 트랜지스터 T6으로 구성된다. 비트라인쌍 BL 및 \overline{BL} 에 각 각 접속된 캐패시터스 C_{in} 및 C_{out} 는 비트라인 자체가 가지는 기생캐패시터스를 나타낸다.

감지출력노드 LA에는 전원전압 V_{cc} 를 공급하기 위한 피모오스 트랜지스터 T7이 접속되어 있고, 감지출력 노드 \overline{LA} 에는 접지전압 V_{ss} 를 공급하기 위한 엔모오스 트랜지스터 T8이 접속되어 있다. T7 및 T8은 각각 의 게이트단자에 공급되는 제어신호 ϕ_s 및 ϕ_{in} 에 턴온되어 감지출력노드 LA에는 전원전압을 감지 출력노 드 \overline{LA} 에는 접지전압을 공급함으로써 피모오스 센스앰프(10) 및 엔모오스 센스앰프(12)를 동작시키게 된 다.

또한 감지출력노드 LA 및 \overline{LA} 사이에는 피모오스 센스앰프(10) 및 엔모오스 센스앰프(12)를 등화 및 프리 차아지 하기 위한 센스앰프용 등화 및 프리차아지회로(16)가 접속되어 있다. 센스앰프용 등화 및 프리차 아지회로(16)는 감지출력노드 LA 및 \overline{LA} 사이에 채널이 접속되고 게이트단자에 제2등화신호 EQ2를 입력 하는 엔모오스 트랜지스터 T9와, 각각의 채널을 통하여 V_{in} 전압을 상기 감지출력노드 LA 및 \overline{LA} 에 전달하 며 게이트단자가 상기 제2등화신호 EQ2에 공통제어되는 엔모오스 트랜지스터 T10, T11로 구성된다. 따라서 제2등화신호 EQ2가 하이레벨로 인가되면 엔모오스 트랜지스터 T9, T10, T11이 모두 턴온되어 감지출력노드 LA 및 \overline{LA} 가 등화될과 아울러 V_{in} 레벨로 프리차아지된다. 감지출력노드 LA 및 \overline{LA} 에 각각 접속된 기생캐 패시터스 C_{in} 및 C_{out} 는 각 감지출력노드에 접속되는 센스앰프용 등화 및 프리차아지회로(16) 및 전압인가 게이트 T7, T8등의 회로자체가 가지는 캐패시터스를 나타낸다. 센스앰프쌍(10, 12)이 동작하기 위한 최상 의 조건은 두 감지출력노드가 동일한 을 갖고 있는 경우, 즉 C_{in} 및 C_{out} 가 같은 크기를 갖고 있는 경우이 다.

제2도는 제2a도와 제2b도로 구성되며, 제2a도는 제1도에 도시한 데이터센싱부에서 감지출력노드 LA 및 \overline{LA} 사이에 존재하는 정전용량의 차에 기인하는 등화레벨의 변화를 보이는 파형도이고, 제2b도는 제2a 도에 도시한 등화레벨의 변화에 따라 비트라인 프리차아지레벨이 변하는 모습을 보이는 파형도이다. 또한 제3도는 제2도에 도시한 비트라인 프리차아지레벨의 변화에 따라 비트라인 센싱 윈도우(sensing window : 피모오스 센스앰프(또는 엔모오스 센스앰프)가 센싱개시된 후 엔모오스 센스앰프(또는 피모오스 센스앰 프)가 센싱개시되는 사이의 구간)의 변화를 보이는 파형도이다.

제2도 및 제3도를 참조하여 제1도의 동작을 살펴 본다. 이때 비트라인쌍 BL 및 \overline{BL} 사이의 정전용량차 는 없다고 가정한다.

먼저, 두 감지출력노드 LA 및 \overline{LA} 각각의 정전용량 C 및 C_{in} 이 서로 동일한 경우를 살펴 본다. 이때에는 제2a도에 도시한 CASE1과 같이, 전압공급 트랜지스터 T7 및 T8을 통하여 전원전압 V_{cc} 및 접지전압 V_{ss} 로 충전되어 있는 두 감지출력노드가 제2등화신호 EQ2에 의해 등화된 후 V_{in} 레벨로 프리차아지된다. 그 결 과, 제2b도에 도시한 CASE1과 같이, V_{cc} 및 V_{ss} 레벨로 디벨로프되었다가 제1등화신호 EQ1에 의해 등화되고 V_{in} 레벨로 프리차아지된 비트라인쌍에 아무런 영향을 미치지 않는다. 또한 비트라인이 정상적인 프리차아 지 됨에 따라, 제3도에 CASE1으로 도시한 바와 같이, 곧바로 수행되는 데이터 액세스동작시 엔모오스 센 스앰프(12)에서 차아지-다운 센싱(또는 N-센싱)이 먼저 수행된 후 피모오스 센스앰프(10)에서 차아지-업 센싱(또는 P-센싱)이 수행되는 정상적인 비트라인 디벨로핑이 수행된다.

다음, 두 감지출력노드 LA 및 \overline{LA} 각각의 정전용량 C_{in} 및 C_{out} 이 서로 동일하지 아니한 경우에 비트라인쌍 의 센스앰프의 등화동작을 살펴본다.

먼저, 감지출력노드 LA의 정전용량 C_{in} 가 감지출력노드 \overline{LA} 의 정전용량 C_{out} 보다 큰 경우를 살펴본다. 이 때에는 등화 트랜지스터 T9에 의해 감지출력노드 LA 및 \overline{LA} 의 전위가 V_{in} 보다 높은 전압에서 등화되고, 그에 따라 피모오스 센스앰프(10)의 피모오스 트랜지스터 T3 및 T4가 턴온됨에 따라, 제2b도의 CASE2에 도시한 바와 같이, 비트라인쌍의 프리차아지전위가 최초로 규정된 프리차아지 레벨 V_{in} 보다 높아지게 된 다. 그 결과로, 제3도에 CASE2로 도시한 바와 같이, 곧바로 수행되는 데이터 액세스동작시 높아진 비트라 인전위에 기인하여 피모오스 센스앰프(10)에서 차아지-업 센싱이 먼저 수행된 후 엔모오스 센스앰프(12)에서 차아지-다운 센싱이 수행되는 비정상적인 비트라인 디벨로핑이 수행된다. 그 결과, 센싱윈도우가 커 지게 되어 액세스 속도가 늦어지게 되고, 센싱동작시 비트라인쌍을 접지전압으로 디벨로프되어야 하는 BL 또는 \overline{BL} 측에서 접지전압까지 도달하는데 걸리는 시간이 길어지게 됨에 따라 접지단에 발생하는 노미 즈가 커지게 된다.

반대로, 감지출력노드 LA의 정전용량 C_{in} 가 감지출력노드 \overline{LA} 의 정전용량 C_{out} 보다 작은 경우를 살펴본다. 제2도를 참조하면, 이때에는 등화 트랜지스터 T9에 의해 감지출력노드 LA 및 \overline{LA} 의 전위가 V_{in} 보다 낮은 전압에서 등화되고, 그에 따라 엔모오스 센스앰프(12)의 엔채널 트랜지스터 T5 및 T6이 턴온됨에 따라,

제2b도의 CASE3에 도시한 바와 같이, 비트라인쌍의 프리차아지전위가 최초로 규정된 프리차아지 레벨 V_{th} 보다 낮아지게 된다. 그 결과로, 제3도에 CASE3로 도시한 바와 같이, 곧바로 수행되는 데이터 액세스 동작 시 낮아진 비트라인전위에 기인하여, 엔모오스 센스앰프(12)에서는 필요이상으로 빨리 차아지-다운 센싱이 수행되며, 또한 피모오스 센스앰프(10)에서는 필요이상으로 느리게 차아지-업 센싱이 수행되는 비정상적인 비트라인 디벨로핑이 수행된다. 그 결과, 센싱원도우가 더욱 커지게 되어 액세스 속도가 매우 늦어지게 되고, 센싱동작시 비트라인쌍중 전원전압 V_{cc} 로 디벨로프되어야 하는 BL 또는 \overline{BL} 측에서 전원전압 V_{cc} 까지 도달하는데 걸리는 시간이 길어지게 됨에 따라 전원전압단에 발생하는 노이즈가 커지게 되어, 불필요한 전압손실을 유발하게 된다.

즉, 감지출력노드 LA 및 \overline{LA} 의 캐패시턴스가 서로 다를 때에는 센싱스피드의 저하, 접지전압단 및 전원전압단에 노이즈발생, 전원전압 및 접지전압의 손실등이 발생하며, 더 나아가 이러한 문제점들에 기인하여 데이터 액세스동작시 오동작이 발생할 수 있다. 따라서, 센스앰프 감지출력노드의 등화 및 프리차아지가 최초 예정된 레벨로 정확하게 수행되도록 하는 것이 센싱속도 및 전압손실 측면에서 대단히 중요한 요소가 된다. 이를 위해서는 서로 상보관계에 있는 감지출력노드들이 동일한 캐패시턴스를 갖도록 제조되어야 한다. 실제로, 감지출력노드 사이에는 제조상의 여러 가지 변수, 예컨대 감지출력노드에 접속되는 등화 및 프리차아지회로의 선폭 및 길이등에 기인하는 캐패시턴스의 차이가 존재하게 된다.

그럼에도 불구하고, 제1도에 도시한 종래의 데이터 센싱회로에서는 이러한 캐패시턴스차를 보정할 수 있는 구성을 갖고 있지 않으며, 그에 따라 상기한 문제점들을 유발하게 된다.

따라서 본 발명의 목적은 데이터 센싱 스피드를 빠르게 할 수 있는 메모리장치의 데이터 센싱방법 및 그 회로를 제공하는데 있다.

본 발명의 다른 목적은 전압손실을 줄일 수 있는 메모리장치의 데이터 센싱방법 및 그 회로를 제공하는데 있다.

본 발명의 또 다른 목적은 연속적인 데이터 액세스동작에서 센스앰프의 센싱 윈도우를 최적화 할 수 있는 메모리장치의 데이터 센싱방법 및 그 회로를 제공하는데 있다.

본 발명의 또 다른 목적은 비트라인 센싱동작에 따라 발생하는 전원전압단 및 접지전압단의 노이즈발생을 억제할 수 있는 메모리장치의 데이터 센싱방법 및 그 회로를 제공하는데 있다.

상기한 목적들을 달성하기 위한 본 발명은 비트라인쌍 사이에 각기 연결된 피모오스 센스앰프와 엔모오스 센스앰프를 구비하며, 상기 센스앰프를 각각의 감지출력노드는 센스앰프를 각각의 감지출력노드는 센스앰프용 등화 및 프리차아지회로에 의해 등화 및 프리차아지되는 메모리장치의 데이터 센싱회로에 있어서, 상기 피모오스 센스앰프 및 엔모오스 센스앰프 각각의 감지출력노드가 서로 동일한 캐패시턴스를 갖도록 전기적으로 접속되는 캐패시터를 구비함을 특징으로 하는 메모리장치의 데이터 센싱회로를 특징으로 한다.

또한 본 발명은 비트라인쌍 상호간을 등화시키는 과정과, 상기 비트라인쌍 사이에 병렬접속된 피모오스 센스앰프의 감지출력노드와 엔모오스 센스앰프의 감지출력노드를 서로 등화시키는 과정과, 상기 피모오스 및 엔모오스 센스앰프들을 통하여 상기 비트라인쌍과 데이터 출력선상 사이에 데이터 수수동작과정을 갖는 반도체 메모리장치의 데이터 센싱방법에 있어서, 상기 피모오스 센스앰프의 감지출력노드와 엔모오스 센스앰프의 감지출력노드를 서로 등화시키는 과정과, 서로 대응하는 감지출력노드의 전위가 미리 설정된 레벨보다 높아질 경우에 전하를 캐패터에 축적함으로써, 상기 두 감지출력노드의 캐패시턴스를 일치시키는 동작을 포함함을 특징으로 한다.

이하 첨부된 도면들을 참조하여 본 발명에 따른 바람직한 실시예를 상세히 설명한다.

제4도는 본 발명에 따른 데이터 센싱회로의 구체회로도이다. 본 발명의 전반적인 이해를 돕기 위하여, 제4도에 도시한 데이터 센싱회로는 제1도에 도시한 종래의 데이터 센싱회로에 본 발명에 따른 캐패시터를 부속하였음에 유의하기 바라며, 그에 따라 당분야의 통상지식인에게는 본 발명이 명백히 이해되어질 것이다.

제4도를 참조하면, 본 발명에 따른 데이터 센싱회로는 비트라인쌍 BL/ \overline{BL} 사이에 접속된 피모오스 센스앰프(10) 및 엔모오스 센스앰프(12), 비트라인쌍 BL/ \overline{BL} 용 등화 및 프리차아지회로(14), 피모오스 센스앰프(10)의 감지출력노드 LA 및 엔모오스 센스앰프(12)의 감지출력노드 \overline{LA} 사이에 접속된 센스앰프용 등화 및 프리차아지회로(16), 상기 감지출력노드 LA 및 \overline{LA} 에 각각 전기적으로 접속되어 있는 캐패시터(18) 및 캐패시터(20)으로 구성되어 있다. 비트라인쌍 BL 및 \overline{BL} 에 각각 접속된 캐패시턴스 C_L 및 $C_{\overline{L}}$ 는 비트라인 자체가 가지는 캐패시턴스를 나타내며, 감지출력노드 LA 및 \overline{LA} 에 각각 접속된 캐패시턴스 C_{LA} 및 $C_{\overline{LA}}$ 는 각 감지출력노드에 접속되는 센스앰프용 프리차아지회로(16) 및 전압 인가게이트 T7, T8등의 회로자체가 가지는 캐패시턴스를 나타낸다.

상기 캐패시터(18,20)은 두 감지출력노드 LA 및 \overline{LA} 의 정전용량을 일치시키기 위한 수단으로서, 두 감지출력노드 사이에 캐패시턴스의 차가 발생할 때에 이를 보상하도록 동작한다. 즉, 캐패시터(18,20)는 서로 대응하는 감지출력노드의 전위가 미리설정된 레벨보다 높아질 때에 이 전하를 축적하여 상기 감지출력노드의 전위를 미리설정된 레벨로 유지시킨다. 그에 따라 감지출력노드 LA 및 \overline{LA} 는 동일한 캐패시턴스를 갖게 된다. 그 결과로, 상술한 제2도 및 제3도에서 보이는 바와 같이, 전압공급 트랜지스터 T7 및 T8를 통하여 전압 V_{cc} 및 V_{ss} 로 충전되어 있는 두 감지출력노드가 제2등화신호 EQ2에 의해 등화된 후 V_{th} 레벨로 리차이징된다. 그 결과, 제2b도에 도시한 CASE1과 같이, V_{cc} 및 V_{ss} 레벨로 디벨로프되었다가 제1등화신호 EQ1에 의해 등화되고 V_{th} 레벨로 프리차아지된 비트라인쌍에 아무런 영향을 미치지 않는다. 또한 비트라인이 정상적으로 프리차아지됨에 따라, 제3도에 CASE1로 도시한 바와 같이, 곧바로 수행되는 데이

타 액세스등작시 엔모오스 센스앰프(12)에서 차마지-다운 센싱(또는 N-센싱)이 먼저 수행된 후 피모오스 센스앰프(10)에서 차마지-업 센싱(또는 P-센싱)이 수행되는 정상적인 비트라인 디벨로핑이 수행된다.

상기 감지출력노드에 캐패시터를 형성하는 방법은 여러 가지 실시예가 가능하다. 예컨대, 여러개의 캐패시터를 형성한 후 필요에 따라 적정수를 선택적으로 접속하는 것도 가능한 실시예이다. 이때 상기 캐패시터는 용단가능한 퓨즈를 통하여 상기 감지출력노드에 접속되도록 하고 필요에 따라 퓨즈를 절단함으로써 두 감지출력노드가 같은 정전용량을 갖도록 하거나 또는 메탈 옵션을 이용하여 접속 또는 비접속되도록 하는 것도 가능한 실시예이다.

따라서 종래의 데이터 센싱회로가 갖는 문제점이 제거되고, 그에 따라 빠른 동작 스피드, 데이터 센싱 동작에 따른 전원전압단 및 접지전압단의 노이즈 발생의 최소화 및 불필한 전압손실의 방지가 가능해진다.

이러한 효과는 구 감지출력노드에 필요한 용량의 캐패시터를 형성하여 줌으로써 비교적 간단하게 얻어진다.

(5) 청구의 범위

청구항 1

비트라인쌍 BL 및 \overline{BL} 사이에 각기 연결된 피모오스 센스앰프와 엔모오스 센스앰프와, 상기 비트라인쌍을 서로 등화 및 프리차이지 시키는 회로와, 상기 센스앰프들 각각의 감지출력노드를 등화 및 프리차이지 시키는 회로를 구비하는 메모리장치의 데이터 센싱회로에 있어서, 상기 피모오스 센스앰프 및 엔모오스 센스앰프 각각의 감지출력노드가 서로 동일한 캐패시턴스를 갖도록 적어도 상기 감지출력노드의 어느 하나와 접지간에 전기적으로 접속되는 캐패시터를 구비함을 특징으로 하는 메모리장치의 데이터 센싱회로.

청구항 2

제1항에 있어서, 상기 캐패시터는 서로 대응하는 감지출력노드의 전위가 미리설정된 레벨보다 높아질 때에 전하를 축적하여 상기 감지출력노드의 전위를 미리설정된 레벨로 유지시킴을 특징으로 하는 메모리장치의 데이터 센싱회로.

청구항 3

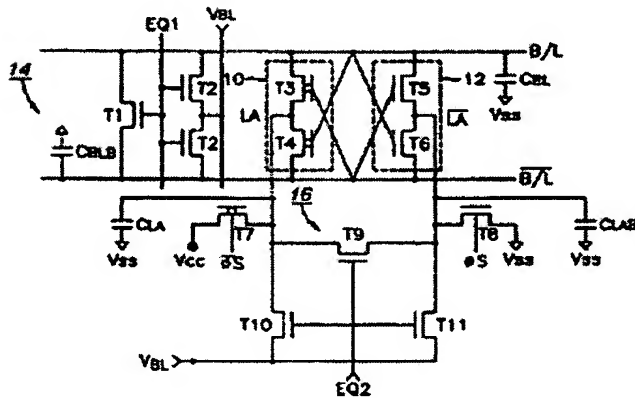
제1항에 있어서, 상기 캐패시터는 용단가능한 퓨즈를 통하여 상기 감지출력노드에 접속됨을 특징으로 하는 메모리장치의 데이터 센싱회로.

청구항 4

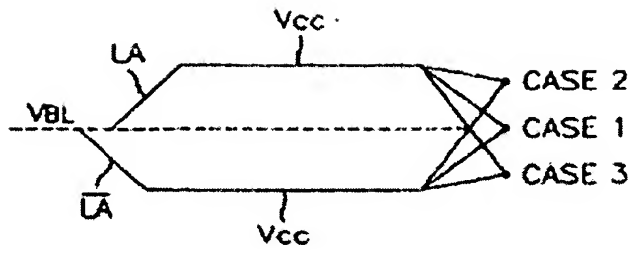
비트라인쌍 상호간을 등화시키는 과정과, 상기 비트라인쌍 사이에 병렬접속된 피모오스 센스앰프의 감지출력노드와 엔모오스 센스앰프의 감지출력노드를 서로 등화시키는 과정과, 상기 피모오스 및 엔모오스 센스앰프를 통하여 상기 비트라인쌍과 데이터 출력선쌍 사이에 데이터 수송동작과정을 갖는 반도체 메모리장치의 데이터 센싱방법에 있어서, 상기 피모오스 센스앰프의 감지출력노드와 엔모오스 센스앰프의 감지출력노드를 서로 등화시키는 과정이, 서로 대응하는 감지출력노드의 전위가 미리 설정된 레벨보다 높아질 경우에 전하를 캐패시터에 축적함으로써 상기 두 감지출력노드의 캐패시턴스를 일치시키는 동작을 포함함을 특징으로 하는 반도체 메모리장치의 데이터 센싱회로.

도면

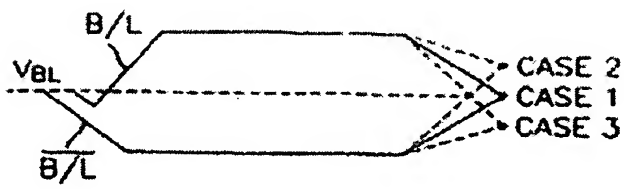
도면1



도 2a



도 2b



도 2c

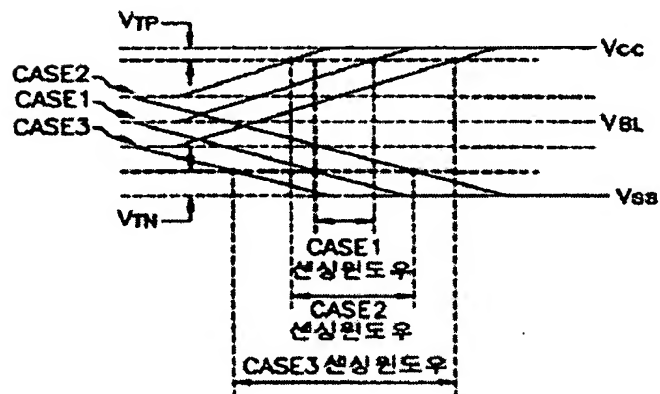


도표 4

